

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
003657912

WPI Acc No: 1983-17899K/198308

XRAM Acc No: C83-017452

RPX Acc No: N83-033052

Doping regions self aligned with aluminium electrode - including
radiation beam annealing with electrode protected by insulating layer

Patent Assignee: FUJITSU LTD (FUJIT)

Inventor: SASAKI N

Number of Countries: 005 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 72216	A	19830216	EP 82304148	A	19820805	198308
JP 58023479	A	19830212	JP 81122657	A	19810805	198312
US 4468855	A	19840904	US 82405269	A	19820804	198438
JP 87059896	B	19871214				198802
EP 72216	B	19890412				198915
DE 3279614	G	19890518				198921

Priority Applications (No Type Date): JP 81122657 A 19810805

Cited Patents: 2.Jnl.Ref; A3...8551; DE 2837653; No-SR.Pub; US 4243433

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

EP 72216	A	E 11		
----------	---	------	--	--

Designated States (Regional): DE FR GB

EP 72216	B	E		
----------	---	---	--	--

Designated States (Regional): DE FR GB

Abstract (Basic): EP 72216 A

A semiconductor device is prepd. by doping a first substrate surface region with an impurity by (a) ion implanting the region while masking impurities from an adjacent surface region with an Al device electrode (4) formed over the adjacent region; and (b) annealing by directing a radiation beam (pref. a laser beam, electron beam or lamp beam) onto the surface, with an insulating layer (7) covering the Al electrode to reduce the possibility of damage by the radiation beam.

Pref., a device is made by (i) forming a gate insulator on a first-type semiconductor substrate; (ii) forming an Al gate electrode on the insulator; and (iii) forming doped regions adjacent the gate as (a) and (b), using the gate electrode as mask. The covering insulating layer is pref. Al₂O₃, Si₃N₄ or SiO₂.

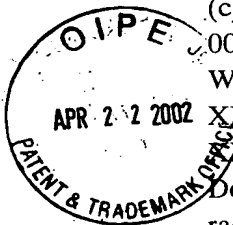
Devices with self-aligned regions and Al electrodes, for high speed and high density, are formed without damaging the Al electrode by annealing.

Title Terms: DOPE; REGION; SELF; ALIGN; ALUMINIUM; ELECTRODE; RADIATE; BEAM; ANNEAL; ELECTRODE; PROTECT; INSULATE; LAYER

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-021/26; H01L-029/78

File Segment: CPI; EPI



RECEIVED
APR 24 2002
TECHNOLOGY CENTER 2800

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

01086079 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 58-023479 [JP 58023479 A]

PUBLISHED: February 12, 1983 (19830212)

INVENTOR(s): SASAKI NOBUO

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 56-122657 [JP 81122657]

FILED: August 05, 1981 (19810805)

INTL CLASS: [3] H01L-029/78; H01L-021/324

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion
Implantation)

JOURNAL: Section: E, Section No. 173, Vol. 07, No. 103, Pg. 30, May
06, 1983 (19830506)

ABSTRACT

PURPOSE: To obtain the semiconductor device with an aluminum-gate electrode, which has the high degree of integration and operates at high speed, easily by preventing the damage of the aluminum-gate electrode even when an ion implanting region is annealed by a laser so that the resistance value of the region lowers sufficiently when the semiconductor device is formed through a self-alignment system.

CONSTITUTION: A silicon dioxide-field insulating layer 2, a silicon dioxide-gate insulating film 3 and the aluminum-gate electrode 4 are formed to a p type silicon semiconductor substrate 1, arsenic ions are implanted through an ion implantation method, and an n(sup +) type source region 5 and an n(sup +) type drain region 6 are shaped. The surface of the aluminum-gate electrode 4 is oxidized, an aluminum oxide (Al(sub 2)O(sub 3)) film 7 is shaped, the laser such as a YAG laser having 1.06(.mu.m)wavelength is irradiated as the energy of 0.3(J), and the source region 5 and the drain region 6 are annealed. Accordingly, the sheet resistance of these regions 5, 6 is approximately 50(ohm./).

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—23479

⑤ Int. Cl.³
H 01 L 29/78
// H 01 L 21/324

識別記号

庁内整理番号
7377—5F
6851—5F

⑬ 公開 昭和58年(1983)2月12日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 半導体装置の製造方法

⑯ 特 願 昭56—122657
⑰ 出 願 昭56(1981)8月5日
⑱ 発 明 者 佐々木伸夫

川崎市中原区上小田中1015番地
富士通株式会社内
⑲ 出 願 人 富士通株式会社
川崎市中原区上小田中1015番地
⑳ 代 理 人 弁理士 玉蟲久五郎 外3名

明 細 書

1. 発明の名称 半導体装置の製造方法

2. 特許請求の範囲

アルミニウム・ゲート電極をマスクとして一導電型半導体基板に反対導電型の不純物イオンを注入して不純物導入領域を形成し、かつ該アルミニウム・ゲート電極の少なくとも上面を絶縁膜で覆った後に、レーザ・ビームを照射して前記不純物導入領域のアニーリングを行なう工程が含まれることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

本発明は、アルミニウム・ゲート電極をマスクとしてセルフ・アラインメント方式で不純物領域を形成するのに好適な半導体装置の製造方法に関する。

従来、電界効果トランジスタのソース領域及びドレイン領域を形成するに際し、ゲート電極をマスクにして所記セルフ・アラインメント方式を適用することが行なわれている。この方式に依ると、

フォト・マスクの位置合せ余裕などは不要であるから、装置を高集積化するのには極めて有効な技法である。しかしながら、その場合、ソース領域及びドレイン領域を活性化する熱処理工程の関係でゲート電極の材料は耐熱性が大であるものを必要とし、通常は多結晶シリコンが利用されている。ところが、多結晶シリコンは、かなりの程度に不純物を導入してもアルミニウムと比較すると抵抗値は大であり、従つて装置のスイッチング・スピードは低下する。

ところで、近年、半導体にレーザ・ビームを照射してアニールすることが行なわれつつある。アルミニウムは耐熱性は悪いがレーザ・ビームを良く反射するので、アルミニウム・ゲート電極をマスクにしてイオン注入法にてソース領域及びドレイン領域を形成した後、それ等領域をレーザ・ビーム照射でアニールすれば、アルミニウム・ゲート電極を有する電界効果トランジスタをセルフ・アラインメント方式で作製できる可能性があり、この種半導体装置の集積性及び高速性を向上させ

ることができると考えられている。

そこで問題となるのはレーザ・ビーム照射に依つてアルミニウム・ゲート電極が受ける影響であるが、レーザ・ビームが強力であると、如何にアルミニウムが光を反射するとは云え破壊されてしまう。例えば、ルビー・レーザ・ビームのエネルギーを2.2 [J] にして通常のアルミニウム・ゲート電極に照射するとアルミニウムは溶けて飛散する。また、エネルギーを0.31 [J] にすると電極表面に亀甲状クラックが発生した。更にまた、エネルギーを0.146 [J] にするとアルミニウムには何事もなかつたが、不純物領域の活性化が不充分であつた。即ち、砒素イオン (As^{+}) をドーズ量 $5 \times 10^{15} [cm^{-2}]$ 、注入エネルギー100 [KeV] の条件で注入して形成した領域をエネルギー0.146 [J] でアニールすると100 [Ω/\square] 程度のシート抵抗値となるが、0.3 [J] の場合は50 [Ω/\square] を得ることができる。

本発明は、アルミニウム・ゲート電極を有する半導体装置をセルフ・アラインメント方式で形成するに際し、イオン注入領域の抵抗値が十分に低

下するようにレーザ・アニールしてもアルミニウム・ゲート電極が損傷されないようにして、高集積かつ高速のこの種装置を容易に得られるようにするものであり、以下これを詳細に説明する。

本発明をなすにあたり、種々検討した結果、前記の如き亀甲状クラックが発生する理由は、レーザ・ビームで加熱されたアルミニウム・ゲート電極が膨張し、その後、表面からの熱放散で冷却されてゆく過程で当初は表面のみで収縮を生ずることに起因すると判断された。

そこで、アルミニウム・ゲート電極上に絶縁膜を形成してからレーザ・アニールを行なうと亀甲状クラックは発生することなく充分なアニールを行なうことができた。この理由は絶縁膜に依りアルミニウム・ゲート電極表面からの熱放散が抑制され、該アルミニウム・ゲート電極中の温度分布がなだらかなものとなると同時に絶縁膜がアルミニウム・ゲート電極のクラックを力学的に抑止するからであると考えられる。

第1図乃至第3図は本発明一実施例を説明する

為の工程要所に於ける半導体装置の要部断面説明図であり、次に、これ等の図を参照しつつ説明する。

第1図参照

- (1) 通常の技法にて、例えばP型シリコン半導体基板1に二酸化シリコン・フィールド絶縁層2、二酸化シリコン・ゲート絶縁膜3、アルミニウム・ゲート電極4を形成する。
- (2) イオン注入法にて、砒素イオンの注入を行ない、 n^{+} 型ソース領域5、 n^{+} 型ドレイン領域6を形成する。尚、イオン注入の条件は、ドーズ量 $5 \times 10^{15} [cm^{-2}]$ 、注入エネルギー100 [KeV] である。

第2図参照

- (3) 例えば陽極酸化法を適用し、アルミニウム・ゲート電極4の表面を酸化し、酸化アルミニウム (Al_2O_3) 膜7を形成する。この工程は上配イオン注入工程(2)の前に行なつてもよい。
- (4) 例えば波長1.06 [μm] のYAGレーザをエネルギー0.3 [J] として照射し、ソース領域5、ドレ

イン領域6のアニーリングを行なう。これに依り、それ等領域5,6のシート抵抗は約50 [Ω/\square] 程度となる。尚、ゲート電極4にクラックは生じない。

第3図参照

- (5) 通常の技法にて、磷酸塩ガラス層8の形成、その磷酸塩ガラス層8及びゲート絶縁膜3をパターニングすることによる電極コンタクト窓の形成、アルミニウム層の形成、該アルミニウム層をパターニングすることによるソース電極9及びドレイン電極10の形成、磷酸塩ガラス層11の形成を行なつて完成させる。

前記実施例に於ける酸化アルミニウム膜7は他の絶縁膜、例えば窒化シリコン膜、二酸化シリコン膜などに代替することができる。また、酸化アルミニウム膜7を形成する技術は、陽極酸化法以外にプラズマ酸化法、CFD法などを適用できる。

ところで、アルミニウム膜の上に絶縁膜が存在する場合に於けるアルミニウム膜のレーザ・ビーム吸収率 α は絶縁膜の厚さ t に依つて第4図に見

られるように変化する。これは光の干渉に依るものである。

第4図から明らかであるが吸収率 Γ を最小にするためには膜厚 t を、

$$\frac{t}{2n} = m$$

n : 絶縁膜の屈折率

λ : 真空中のレーザー光波長

m : 正の整数

とすることが有効である。尚、第4図のデータは波長1.06 [μm] のYAGレーザーを用いて得たものである。

従つて、前記実施例の如く、絶縁膜として Al_2O_3 を使用した場合には、 $n \approx 1.77$ であるから、波長0.694 [μm] のルビーレーザーを使用した際は Al_2O_3 膜の厚さを1960 [\AA]、波長1.05 [μm] のYAGレーザーを使用した際は Al_2O_3 膜の厚さを2900 [\AA]にすると良い。これ等の膜厚は全て前記 $\frac{t}{2n} = m$ から得たものであるが、第4図の曲線から判るように、絶縁膜の厚さを $\frac{t}{4n}$ より充分に薄く、例えば $\frac{t}{12n}$

程度にしても吸収率 Γ を最小に近い値にすることができる。

以上説明した通り、本発明に依れば、アルミニウムの表面にレーザー・ビームの吸収率を低下させる絶縁膜を形成してから、レーザー・ビームの照射に依る不純物導入領域のアニーリングを行なうものであるから、レーザー・ビームのエネルギーを大にして充分なアニールを行なつても、アルミニウムがレーザー・ビームを余り吸収しないこと、絶縁膜が熱放散を抑止してアルミニウム内の温度分布を緩和すること、絶縁膜がアルミニウムに力学的抑止力を及ぼすことなどから、アルミニウムに亀甲状クラックが入るのを防止することができる。従つて、アルミニウム・ゲート電極を用いてセルフ・アラインメント方式で電界効果トランジスタを含む半導体装置を製造するのに有効である。

4. 図面の簡単な説明

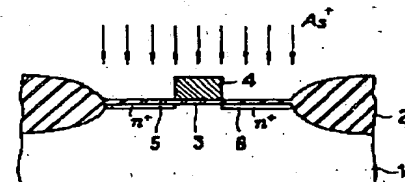
第1図乃至第3図は本発明一実施例を説明する為の工程要所に於ける半導体装置の要部断面説明図、第4図はレーザー・ビーム吸収率対絶縁膜厚の

関係を示す線図である。

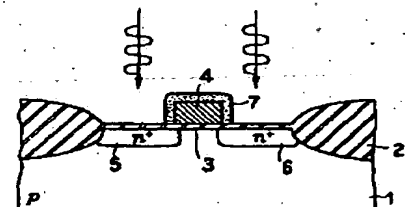
図に於いて、1は基板、2は絶縁層、3はゲート絶縁膜、4はアルミニウム・ゲート電極、5はソース領域、6はドレイン領域、7は Al_2O_3 膜である。

特許出願人 富士通株式会社
代理人 弁理士 玉島久五郎 (外3名)

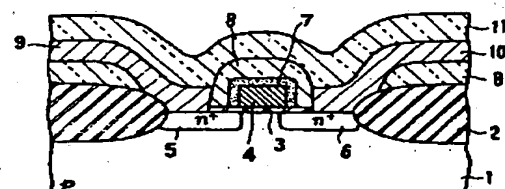
第1図



第2図



第3図



第 4 図

